



(19)

Generated Document.

(11) Publication number:

0501352**PATENT ABSTRACTS OF JAPAN**(21) Application number: **03164830**(51) Intl. Cl.: **H01L 21/66 G01R 31/28 H01L 27/04**(22) Application date: **05.07.91**

(30) Priority:

(43) Date of application publication: **22.01.93**(71) Applicant: **NEC KYUSHU LTD**

(84) Designated contracting states:

(72) Inventor: **NAKAJIMA TOSHIHIKO**

(74) Representative:

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

(57) Abstract:

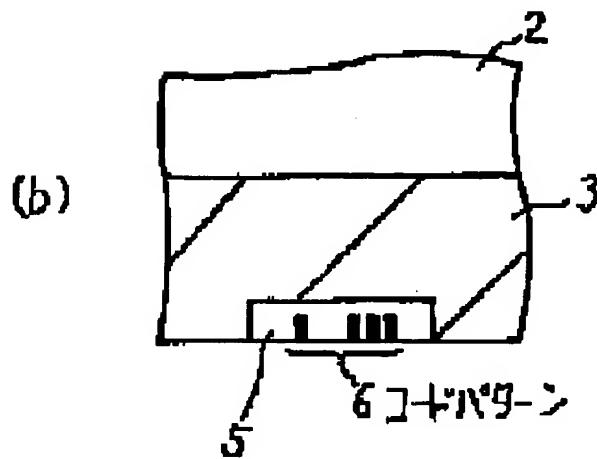
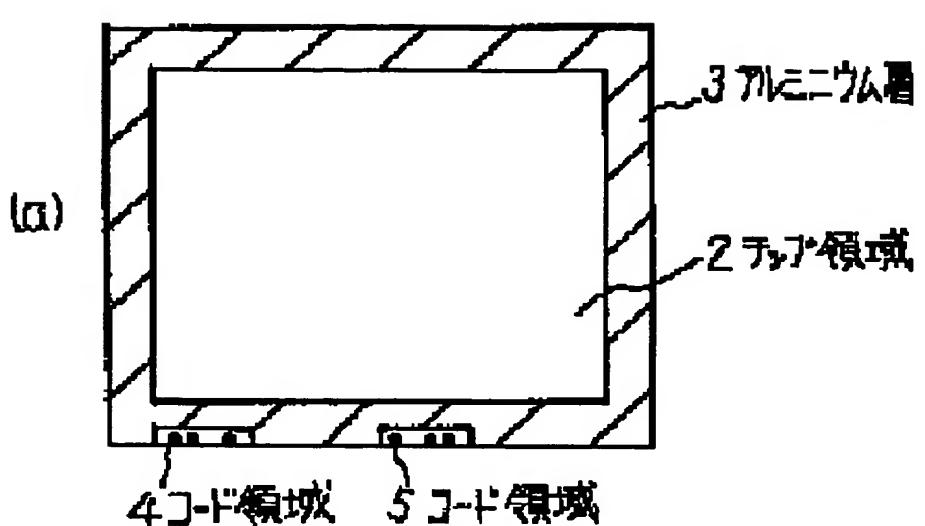
PURPOSE: To improve manufacturing efficiency at the time of manufacturing by incorporating an identification code into each piece of semiconductor integrated circuit at the time of a stepper exposure of a patterning process of an aluminum layer.

CONSTITUTION: An aluminum layer 3 is provided around a chip area 2 provided on a semiconductor wafer, and when the aluminum layer 3 is processed by patterning, a code pattern 6 which is made by patterning individual identification code corresponding to respective chips is formed within code areas 4 and 5 by a stepper exposure. The information of each chip is optically read at the time of electrical characteristic test of a semiconductor integrated circuit on the chip, and its judging results on good or bad, grade information, etc., can be recorded on a memory cell

BEST AVAILABLE COPY

provided on the respective chips, so that only the chips of intended grade can be selected for fabrication, resulting in eliminating a products stock which are not required.

COPYRIGHT: (C)1993,JPO&Japio



BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-13529

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl ⁵ H 01 L 21/66 G 01 R 31/28 H 01 L 21/66 27/04	識別記号 F 7013-4M E 7013-4M T 8427-4M 6912-2G	序内登録番号 F I G 01 R 31/28	技術表示箇所 V
審査請求 未請求 請求項の数1(全3頁)			

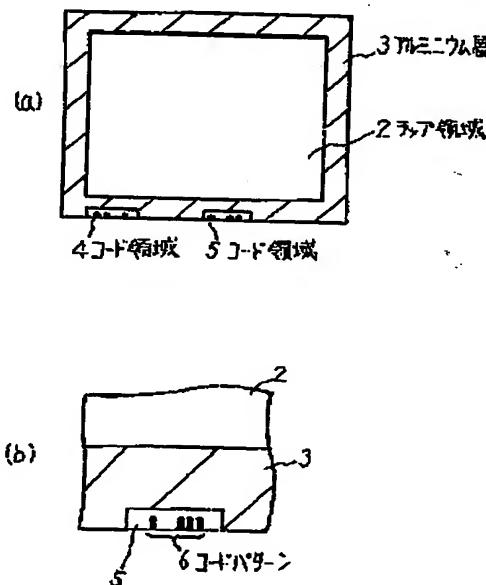
(21)出願番号 特願平3-164930	(71)出願人 000164450 九州日本電気株式会社 熊本県熊本市八幡町100番地
(22)出願日 平成3年(1991)7月5日	(72)発明者 中島 俊彦 熊本県熊本市八幡町100番地九州日本電気 株式会社内
	(74)代理人 弁理士 内原 智

(54)【発明の名称】 半導体集積回路

(57)【要約】

【目的】アルミニウム層のバーニング工程のステッパー露光時に、半導体集積回路個片に各々の識別コードを作り込み、製造における生産効率の向上を図る。

【構成】半導体ウェーハ上に設けたチップ領域2の周囲にアルミニウム層3を設け、アルミニウム層3をバーニングする際に、ステッパー露光により夫々のチップに対する個体識別コードをバーニングしたコードパターン6をコード領域4、5内に形成し、チップ上の半導体集積回路の電気的特性試験時に個片の情報を光学的に読み取り、その良否の判定結果・グレード情報等を夫々のチップ上に設けたメモリセルに記録することが出来、需要に応じたグレードのチップのみを選別して粗立てる事が可能となり、不用品の在庫を無くすことが出来る。



(2)

特開平5-13529

1

【特許請求の範囲】

【請求項1】半導体チップ領域の外周に設けた金属層と、前記金属層の一部に設けて前記半導体チップの個体識別情報を表示する識別パターンと、少くとも前記半導体チップの一部に設けたメモリセルとを有することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路の製造方法に関し、特に同一半導体基板上にある複数の半導体集積回路を識別する方法に関するものである。

【0002】

【従来の技術】従来の半導体集積回路は図3に示すように、半導体ウェーハ1のチップ領域2に設けた半導体集積回路の電気的特性試験を行い、その結果不良となつたチップ上にインカーラー等によりマークを形成し、無印の良品Aとマーク付の不良品Bを識別できるようにしていた。

【0003】

【発明が解決しようとする課題】上述した従来の半導体集積回路では、グレード分類を行なう製品についても良品のチップ全数を組立てて製品化し、電気的特性によるグレード選別を行つてはいるため、需要の多いグレードのものから出荷され、需要の少いものまで余分に作つてしまい、製造原価が高くなつたり生産効率が低くなるという欠点がある。

【0004】

【課題を解決するための手段】本発明の半導体集積回路は、半導体チップ領域の外周に設けた金属層と、前記金属層の一部に設けて前記半導体チップの個体識別情報を表示する識別パターンと、少くとも前記半導体チップの一部に設けたメモリセルとを有する。

【0005】

【実施例】次に、本発明について図面を参照して説明する。

【0006】図1(a)、(b)は本発明の一実施例を示す半導体チップの平面図及び部分拡大図である。

【0007】図1(a)、(b)に示すように、チップ領域2の外周に設けたアルミニウム層3の一部にロット番号や個体番号等の各チップ毎に固有の製品情報・個体情報等をコード化して記録させたコードパターン6を有

2

するコード領域4、5を設けている。

【0008】図2は本発明のコードパターン形成方法を説明するための模式図である。

【0009】図2に示すように、アルミニウム層のパターニング工程のステッパー露光時にレチカル8に近接してコードパターンに対応するブライント7を配置させ固有データを縮小レンズ9を通して半導体ウェーハ1に同時に露光して各チップ領域2の外周に製品情報や個体認識データを記録する。半導体ウェーハ1上の半導体集積回路の電気的特性試験時にチップ領域のコードパターンを光学的に読み取り、その良否の判定結果や電気的特性によるグレード選別情報を各々の半導体集積回路の個別情報と共にチップ上のメモリセルに電子的に記録することが出来る。そのために、特性試験においてはマーキングを行う必要もなく機械的なダメージを無くすことも出来る。又、組立投入時には光学的に個体情報を読み取り記録媒体上に記録されたデータと照合し必要なグレードのチップのみを選別して組立てることが可能となる。

【0010】

【発明の効果】以上説明したように本発明は、半導体ウェーハの各チップ領域毎にステッパーによる識別パターンを形成することによって、電気的特性試験結果を個体認識させることができ、製品組立における効率的投入や製造コストを改善させるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示す半導体チップの平面図及び部分拡大図。

【図2】本発明のコードパターン形成方法を説明するための模式図。

【図3】従来の半導体集積回路の一例を説明するための半導体ウェーハの平面図。

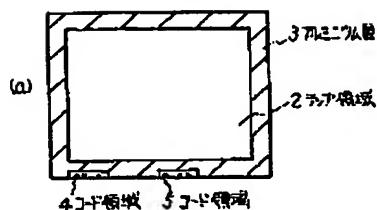
【符号の説明】

1	半導体ウェーハ
2	チップ領域
3	アルミニウム層
4、5	コード領域
6	コードパターン
7	ブライント
8	レチカル
9	縮小レンズ
A	良品
B	不良品

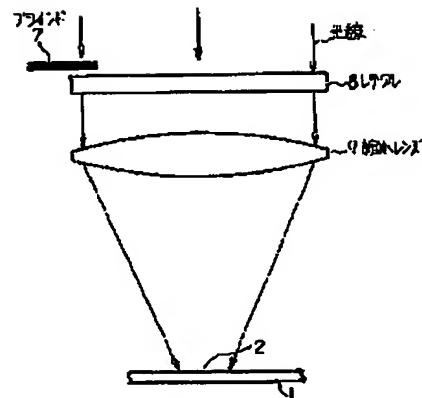
(3)

特開平5-13529

【図1】



【図2】



【図3】

